

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2002-108264

(43)Date of publication of application : 10.04.2002

(51)Int.Cl.

G09G 3/20
G02F 1/133
G09G 3/30
G09G 3/36
H04N 5/66

(21)Application number : 2000-293807

(71)Applicant : MATSUSHITA ELECTRIC IND CO LTD

(22)Date of filing : 27.09.2000

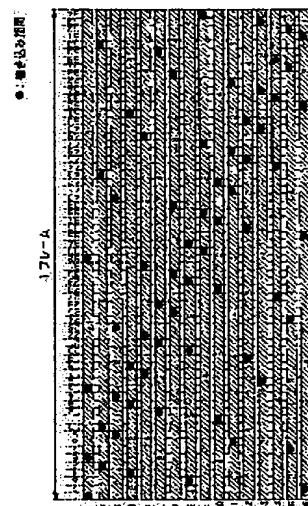
(72)Inventor : FURUBAYASHI YOSHINORI
YAMAKURA MAKOTO

(54) ACTIVE MATRIX DISPLAY DEVICE AND DRIVING METHOD THEREFOR

(57)Abstract:

PROBLEM TO BE SOLVED: To solve the problem that picture quality problems such as flickers and false contours arise when multiple gradations are displayed by binary values with time or the combinations of multiple write voltages in the sub-frames weighted in an active matrix display device.

SOLUTION: Flickers are reduced by shifting polarity inversion time by each sub-frame within a frame period and combining it with line inversion, or making the sub-frames differ in polarity in a single frame. When expressing the number of scanning lines by L, a horizontal scanning period by H, a voltage level to be applied to signal lines by A and the number of display gradations by B, scanning is selectively performed a plurality of times in a single frame in a prescribed order of the scanning lines so that a single frame period is made shorter than $H \times L \times (B-1)/(A-1)$ and also at least sub-frames are made to differ in the order and timing in adjacent scanning lines, thereby controlling flickers and false contours.



LEGAL STATUS

[Date of request for examination] 13.03.2002

[Date of sending the examiner's decision of rejection] 17.06.2003

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

BEST AVAILABLE COPY

*** NOTICES ***

JPO and NCIP are not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. **** shows the word which can not be translated.
3. In the drawings, any words are not translated.

CLAIMS

[Claim(s)]

[Claim 1] The active-matrix display which has at least one or more SUICHINGU components at the intersection of two or more signal lines and two or more scanning lines. An one-frame period is divided into two or more subframes which carried out weighting. With the combination of each subframe. When it is the drive approach of performing many *****, and setting the number of scanning lines to L and setting [a horizontal scanning period] A and the number of display gradation to B for H and signal-line applied-voltage level rather than the voltage level impressed to said signal line. The multiple-times selection scan of the scanning line is carried out in predetermined sequence at an one-frame period so that an one-frame period may become shorter than $H \times L \times (B-1) / (A-1)$. And the drive approach of the active-matrix display characterized by constructing at least the combination of the scanning line with which subframes differ one, and having it above between the contiguity scanning lines.

[Claim 2] The drive approach of the active-matrix display according to claim 1 characterized by the sequence of a subframe differing with the adjoining scanning line.

[Claim 3] The drive approach of the active-matrix display according to claim 1 characterized by making sequence of a subframe the same and the time gap making it longer than the lightest subframe period by which weighting was carried out with the adjoining scanning line.

[Claim 4] Two or more signal lines prepared on the 1st substrate, and the signal-line drive circuit which drives this, Two or more scanning lines which intersect perpendicularly with said signal line, and the scanning-line drive circuit which drives this, At least one or more switching elements prepared near the intersection of said signal line and said scanning line, It has the 2nd substrate with the pixel electrode connected to said switching element, and the counterelectrode which confronts each other through said the 1st substrate and electro-optics component. Said scanning-line drive circuit carries out the multiple-times selection scan of each of said scanning line in predetermined sequence at an one-frame period. By choosing and outputting one value of two or more fixed voltage levels fewer than the number of display gradation to each of said signal line, said signal-line drive circuit. It faces that the combination of the fixed voltage level in two or more subframe periods when weighting of all the pixels belonging to each scanning line was carried out in time performs a multi-gradation display. When setting the number of scanning lines to L and setting [a horizontal scanning period] A and the number of display gradation to B for H and signal-line applied-voltage level. The active-matrix display characterized by being the configuration which does not make a subframe in agreement with the scanning line which carries out the multiple-times selection scan of the scanning line in predetermined sequence at an one-frame period so that an one-frame period may become shorter than $H \times L \times (B-1) / (A-1)$, and adjoins at least.

[Claim 5] The active-matrix display according to claim 4 characterized by being the configuration that the sequence of a subframe differs with the adjoining scanning line.

[Claim 6] The active-matrix display according to claim 4 characterized by being the configuration in which makes sequence of a subframe the same and the time gap makes it longer than the lightest subframe period by which weighting was carried out with the adjoining scanning line.

[Claim 7] A active-matrix display given in either of claims 4-6 characterized by being the configuration of dividing into at least two the heaviest subframe by which weighting was carried out.

[Claim 8] The active-matrix display according to claim 4 characterized by an electro-optics component being liquid crystal.

[Claim 9] The active-matrix display according to claim 8 characterized by being the configuration of setting an one-frame period as a predetermined value according to the electric-optical response characteristic of liquid crystal.

[Claim 10] The active-matrix display according to claim 4 characterized by an electro-optics component being photogene.

[Translation done.]

*** NOTICES ***

JPO and NCIP are not responsible for any damages caused by the use of this translation.

1.This document has been translated by computer. So the translation may not reflect the original precisely.

2.**** shows the word which can not be translated.

3.In the drawings, any words are not translated.

DETAILED DESCRIPTION

[Detailed Description of the Invention]

[0001]

[Field of the Invention] This invention performs a multi-gradation display about the drive approach of the liquid crystal display of an active matrix, or EL (electroluminescence) indicating equipment with the combination of the pixel write-in electrical potential difference of binary [in the subframe period by which weighting was carried out in time], or a multiple value.

[0002]

[Description of the Prior Art] Fewer power consumption is demanded of the display used for the small pocket device by cell drive, and a liquid crystal display is in the representation rank of the display which fills the demand. When performing a gradation display especially in the liquid crystal display of an active matrix and the liquid crystal display which uses the thin film transistor (TFT) of three terminals as a switching element typically, the method which impresses the wave of an analog value to that signal line, and charges a pixel to this potential through a switching element was common. These examples of a configuration are shown in drawing 5 , and it explains with drawing. In drawing 5 , 100 is the liquid crystal panel of an active matrix, and becomes signal lines S1-Sn and the outgoing line of the scanning lines G1-Gm which intersect perpendicularly with this from the switching element near [the] the intersection. Si is an example of the thin film transistor (TFT) of a switching element and three common terminals in this case which a certain signal line and Gj have in a certain scanning line, and 101 has near [those] the intersection. 102 shows a liquid crystal device and Counterelectrode Vcom is formed in the side which stands face to face against a transistor 101. 103 is storage capacitance, assisted the capacity component of a liquid crystal device 102, and has prevented degradation of image quality. Common connection of the electrode by the side of the reverse is separately made as Vst in many cases. The intersection 104 by the side of these transistors is equivalent to a pixel electrode. If actuation is explained briefly, the scanning line Gj will serve as quantity potential once at an one-frame period, it will be made to flow through a transistor 101, and the pixel electrode 104 102, i.e., liquid crystal capacity, and storage capacitance 103 will be charged to Counterelectrode Vcom to the potential of the

signal line Si at this time. The scanning line Gj serves as low voltage after that, a transistor 101 is un-flowing, and one-frame period maintenance of this charged potential is carried out. Moreover, although it is common to carry out an alternating current drive as for liquid crystal, the pulse-like wave which reversed Counterelectrode Vcom and the common electrode Vst of storage capacitance synchronizing with the signal line Si is added, and, generally decreasing the amplitude of a signal line Si is also performed. 111 is a shift register by the side of the signal which consists of two or more flip-flops, and data are shifted one by one by the CKH signal and STH signal from the outside, and it forms the timing which samples a video signal. In the example of drawing 5, the example of a digital video signal is shown, a two or more bits video signal is latched to latch 112 by the output signal of a shift register 111, it is changed into an analog signal by the D/A conversion circuit 113, and it adds to signal lines S1-Sn. A scan side consists of the shift register 121 and buffer 122 which are sequentially scanned to the timing of the CKV signal from the outside, and a STV signal, and drives the scanning lines G1-Gm with pulse shape.

[0003] By the above drive approach, it was the factor with common an operational amplifier possessing as a current buffer for carrying out the charge and discharge of the signal-line capacity which is a load to the output stage of the D/A conversion circuit 113 in which this increases the power consumption of a drive circuit. It is because a static current flows continuously and is continuing analog circuits, such as a D/A conversion circuit and an operational amplifier, even when having not carried out the charge and discharge of the load. On these specifications, the above drive approach shall be called "an analog drive."

[0004] Not using analog circuits, such as a D/A conversion circuit and an operational amplifier, the basic principle of the drive approach that the combination of a pixel write-in electrical potential difference binary [in the subframe period by which weighting was carried out in time] performs a gradation display is explained to a detail to an above-mentioned analog drive. Although a pixel write-in electrical potential difference is made into a binary fixed electrical potential difference in order to give explanation easy, you may be the fixed electrical potential difference of the multiple value of three or more values. A configuration is shown in drawing 6. The object of drawing 5 and this function attaches the same number, and omits explanation. 114 is the decoder and analog switch which choose one of the binary fixed electrical potential differences VH and VL according to a digital video signal. These are very easy to constitute compared with the above-mentioned D/A conversion circuit, and since a static current hardly flows, power consumption is very small.

[0005] Next, the principle which displays gradation with the binary fixed electrical potential differences VH and VL is explained with drawing 7. The frame period which displays a whole image is divided into two or more subframe periods by which weighting was carried out in time, and time Pulse Density Modulation is performed by adding VH or VL to a pixel electrode in each subframe period. When a fixed electrical potential difference is binary, the number of subframes is in agreement with the number of bits of input data. Corresponding to the most significant bit (MSB) of data – the least significant bit (LSB), subframes SF4-SF1 are assigned. In drawing 7, the example of 4 bits and 16 gradation is shown and the combination of the fixed electrical potential differences VH and VL in the subframes SF1-SF4 by which weighting was carried out is performing 16 kinds of gradation displays. For example, at the time of "1011", by the subframe SF 3, VL corresponding to [in them] "0" at a binary number is chosen, and VH corresponding to "1" corresponding to [in gradation data] 11 at a decimal number is chosen by subframes SF1, SF2, and SF4. In addition, VH may be corresponded to "0" and VL may be made to correspond to "1" according to the electrical-potential-difference-permeability property (V-T property) of a liquid crystal device.

[0006] Each subframe period consists of a write-in period and a maintenance period, and the write-in period is fixed in every subframe at 1 horizontal-scanning period, and it doubles [period / twice / of 2 / power / the constant of a horizontal scanning] weighting of the subframe. That is, when making 1 horizontal-scanning period and N into the total number of subframes and making L into the number of

scanning lines for H, it is the i-th subframe period (however, $i = 1, 2, \dots, N$),

(Two $\times (i-1)$) It is expressed $xL \times H$. By the wave of Rhine 1 of drawing 7, the part of a pulse writes in and a period and the other part are equivalent to a maintenance period. Since an one-frame period is the sum of all subframe periods, it is expressed as $x(1+2+4+ \dots \times (N-1)) L \times H = (N\text{th power of } 2 - 1) xL \times H$. The example of the write-in period of each scanning line in case the number of scanning lines L is 16 and the number of subframes is 4, and a maintenance period is shown in drawing 8.

[0007] On these specifications, the drive approach which used subframe structure as mentioned above shall be called "a digital drive."

[0008]

[Problem(s) to be Solved by the Invention] however, with the configuration of the active-matrix display shown in drawing 5, the above-mentioned digital drive As shown in drawing 8, the scanning line will be sequentially scanned from a top to the bottom simply, and the holding time of the subframe period over a high order bit increases. By one side Since the 1 level period H is restrained by the write-in property of the active-matrix liquid crystal panel 100 of drawing 5, When the 1 level period H was set constant, a flicker which a frame period increases and is called a flicker arose, or it had the problem that many number of scanning lines L and numbers of gradation (the number of subframes) were not made.

[0009] Moreover, since it was subframe structure, it had the trouble that false contour was generated, in the neighborhood the gradation level will cross n-th power boundaries of 2, such as "16" and "8", if a dynamic image is displayed.

[0010] This invention solves the above-mentioned conventional trouble, and it aims at offering the active-matrix display with which a flicker and false contour were controlled, and its drive approach.

[0011]

[Means for Solving the Problem] In order to attain this purpose, while carrying out the multiple-times selection scan of the scanning line in predetermined sequence at an one-frame period so that an one-frame period may become shorter than $H \times L \times (B-1) / (A-1)$ when setting [the number of scanning lines / the selection period of L and the scanning line] A and the number of display gradation to B for H and signal-line applied-voltage level, the active-matrix indicating equipment of this invention is the adjoining scanning line, and changes the sequence and timing of a subframe.

[0012]

[Embodiment of the Invention] (Gestalt 1 of implementation of invention) It explains hereafter, referring to a drawing about the gestalt of operation of the 1st of this invention.

[0013] Weighting of the number L of display Rhine is carried out to the ratio of 1:2:4:8 in time [16 and the number N of subframes / 4 (SF1, SF2, SF3, SF4) and the maintenance period of a subframe], and drawing 1 shows the selection timing chart of each scanning line in the case of displaying 16 gradation with such combination. In drawing 1, a write-in period, and hatching and a figure show subframe sequence, and a "black dot" carries out them. First, with the scanning line of the 1st line, the information on SF1 is written in in the first horizontal scanning period (1H). 2H to 5H hold the condition (SF1), and the information on SF2 is written in by 6H. 7H to 14H hold the condition (SF2), write in the information on SF3 by 15H, and 16H to 31H hold the condition (SF3), and write in the information on SF4 by 32H, and 33H to 64H hold the condition (SF3). SF1; write-in period: 1H, maintenance period: 2H-5H SF2; write-in period: 6H, maintenance period: 7H-14H An SF3; write-in period: With 15H, maintenance period: 16H-31H SF4; write-in period: 32H, and the maintenance period: 33H-64H 2 line scanning line, it is an SF1; write-in period: 5H, maintenance period: 6H-9H A SF2; write-in period: 10H, maintenance period: 11H-13H (4H)

An SF3; write-in period : 14H, maintenance period: 15H-22H An SF4; write-in period : in 23H and the maintenance period: 24H-39H 3 line scanning line SF1; write-in period: 9H, a maintenance period : [10H-13H] A SF2; write-in period: 14H, maintenance period: 15H-22H An SF3; write-in period: 23H, maintenance period: 24H-39H An SF4; write-in period: 40H, maintenance period: 41H-72H (8H) With the scanning line of the 4th line An SF1; write-in period: 13H, maintenance period: 14H-17H SF2;

write-in period: 4H, maintenance period: 5H-12H An SF3; write-in period: 51H, maintenance period: 52H-67H (3H)

SF4; write-in period: -- carrying out the selection scan (write-in period) of each scanning line like 18H and less than [maintenance period: 19H-50H] in the sequence shown in drawing 1 -- one frame -- 64H -- becoming -- about [of drawing 8 / of 240H] -- it is set to one fourth and control of a flicker is attained. Moreover, the scanning line of odd lines is the sequence of SF1, SF2, SF3, and SF4, and since the timing and the direction of an n-th power boundary of 2 which false contour generates since a subframe is constituted in order of SF4, SF3, SF2, and SF1 differ from each other by even lines and odd lines, the control of false contour of the scanning line of even lines is attained. moreover, as scan sequence is not limited to drawing 1 and shown in drawing 2, the control of false contour of all the sequence of a subframe is attained by shifting the timing of the n-th power boundary of 2, and the subframe of the desirable heaviest weighting between the scanning lines which adjoin even when it is the same.

[0014] (Gestalt 2 of implementation of invention) It explains hereafter, referring to a drawing about the gestalt of operation of the 2nd of this invention. Drawing 3 is the block diagram of the active-matrix display in which the gestalt of operation of the 2nd of this invention is shown. In drawing 3, 100 is a active-matrix display panel and becomes signal lines S1-Sn and the outgoing line of the scanning lines G1-Gm which intersect perpendicularly with this from the switching element near [the] the intersection. 111 is a shift register by the side of the signal which consists of two or more flip-flops, and with the CKH signal and STH signal from the outside, data are shifted one by one and it forms sampling timing for a video signal. In the example of drawing 3, the example of a digital video signal is shown, a two or more bits video signal is latched to latch 112 by the output signal of a shift register 111, and either of the binary fixed electrical potential differences VH and VL is applied to signal lines S1-Sn for it with a decoder / analog switch 114. The above is the same as that of the configuration of drawing 6. 123 is a scan control circuit, chooses the scanning line in predetermined sequence with the selection scanning-line signal ADV from the outside, and carries out the pulse drive of the scanning lines G1-Gm through a buffer 122. With constituting the timing of drawing 1 or the write-in period of drawing 2 by the selection scanning-line signal ADV and the scan control circuit 123, the active-matrix display with which a flicker and false contour were controlled becomes possible. If a decoder is used as a scan control circuit, a selection scan will be attained in the sequence of arbitration by the scanning-line address information chosen by easy circuitry. The electroluminescence display panel using the light emitting device shown in the configuration or drawing 4 of the liquid crystal shown in drawing 5 is sufficient as the electro-optics component of an active-matrix display panel here. Since the light emitting device 106 of the electroluminescence display panel shown in drawing 4 is a component of a current drive mold, it is adding the 2nd switching element 105 for a current drive, and a desired gradation display is attained by carrying out the subframe drive of the terminal of 104 of the 1st switching element like drawing 3. When an optical modulation element is liquid crystal, since an optical property generally answers the actual value of the applied voltage, liquid crystal may spoil display grace depending on the relation of the speed of response and width of face of the pulse of a subframe, but it is having shortened the one-frame period sharply, and since the degree of freedom of a setup of 1 frame period improves, expansion of the selection range of a liquid crystal property is possible.

[0015] In addition, what is necessary is not to be limited to this, not to be limited to the minimum value as which an one-frame period is also determined from the ratio and number of the number of scanning lines and subframes to say nothing of being made to the number of scanning lines and the number of gradation of arbitration, and for the property of an optical modulation element just to determine, although the 16 or 1-frame period was set [the number of scanning lines] to 64H for 16 and the number of display gradation in the gestalt of implementation of the 1st invention. Although the subframe was changed by odd more lines and even lines, it is not limited to this combination and you may make it differ every two lines. Moreover, although the scanning-line control circuit 123 was made into the

decoder with the gestalt of implementation of the 2nd invention, as long as it is the circuit which can be scanned in sequence other than sequential scanning, what kind of configuration may be used [a configuration which reduces the number of signal lines with the exterior using the serial/parallel-conversion circuit using a shift register and a latch like a signal-line drive circuit may be used, and]. Moreover, although 114 was used as the decoder/analog switch, what is necessary is just the configuration in which this can also output alternatively two or more fixed electrical potential differences to signal lines S1-Sn.

[0016]

[Effect of the Invention] As mentioned above, when setting [the selection period of L and the scanning line] A and the number of display gradation to B for H and signal-line applied-voltage level, this invention the number of scanning lines While carrying out the multiple-times selection scan of the scanning line in predetermined sequence at an one-frame period so that an one-frame period may become shorter than $HxLx(B-1)/(A-1)$ The outstanding active-matrix display which can control that of a flicker or false contour is realizable by changing the sequence and timing of a subframe with the adjoining scanning line.

[Translation done.]

*** NOTICES ***

JPO and NCIP are not responsible for any damages caused by the use of this translation.

- 1.This document has been translated by computer. So the translation may not reflect the original precisely.
- 2.**** shows the word which can not be translated.
- 3.In the drawings, any words are not translated.

DESCRIPTION OF DRAWINGS

[Brief Description of the Drawings]

[Drawing 1] The scanning-line selection timing chart in the gestalt of operation of the 1st of this invention

[Drawing 2] Another scanning-line selection timing chart in the gestalt of operation of the 1st of this invention

[Drawing 3] The block diagram of the active-matrix display in the gestalt of operation of the 2nd of this invention

[Drawing 4] The pixel block diagram of the active-matrix display in the gestalt of operation of the 2nd of this invention

[Drawing 5] The block diagram of the active-matrix display for explanation of the conventional analog drive

[Drawing 6] The block diagram of the active-matrix display for explanation of the conventional digital drive

[Drawing 7] The subframe block diagram for explanation of the conventional digital drive

[Drawing 8] The scanning-line selection timing chart for explanation of the conventional digital drive

[Description of Notations]

100 Active-Matrix Display Panel

101,105 Switching element

102 Liquid Crystal Device
103 Storage Capacitance
104 Pixel Electrode
106 Light Emitting Device
111,121 Shift register
112 Latch
113 D/A Conversion Circuit
114 Decoder/Analog Switch
122 Buffer
123 Scan Control Circuit

[Translation done.]

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号
特開2002-108264
(P2002-108264A)

(43) 公開日 平成14年4月10日 (2002.4.10)

(51) Int.Cl. ⁷	識別記号	F I	テ-マ-ト* (参考)
G 0 9 G 3/20	6 4 1	G 0 9 G 3/20	6 4 1 E 2 H 0 9 3
	6 1 1		6 4 1 R 5 C 0 0 6
G 0 2 F 1/133	5 5 0	G 0 2 F 1/133	6 1 1 E 5 C 0 5 8
G 0 9 G 3/30		G 0 9 G 3/30	5 5 0 5 C 0 8 0
			K
審査請求 未請求 請求項の数10 O L (全 9 頁) 最終頁に続く			

(21) 出願番号 特願2000-293807 (P2000-293807)

(22) 出願日 平成12年9月27日 (2000.9.27)

(71) 出願人 000005821

松下電器産業株式会社
大阪府門真市大字門真1006番地

(72) 発明者 古林 好則

大阪府門真市大字門真1006番地 松下電器
産業株式会社内

(72) 発明者 山倉 誠

大阪府門真市大字門真1006番地 松下電器
産業株式会社内

(74) 代理人 100097445

弁理士 岩橋 文雄 (外2名)

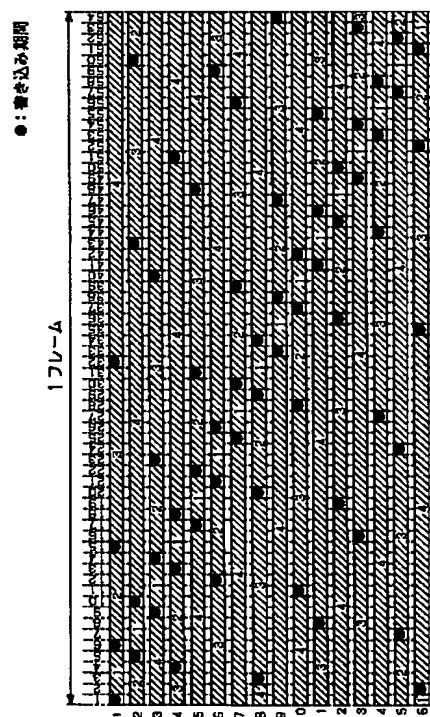
最終頁に続く

(54) 【発明の名称】 アクティブマトリクス表示装置及びその駆動方法

(57) 【要約】

【課題】 アクティブマトリクス表示装置において、時間的に重み付けされたサブフレームにおける2値あるいは多値の書き込み電圧の組み合わせにより多階調表示を行うと、フリッカや偽輪郭などの画質課題が生じていた。

【解決手段】 フレーム期間内でサブフレームごとに極性反転時刻をずらし、ライン反転と組み合わせたり、1フレーム内でサブフレームの極性を異ならせることでフリッカを低減する。走査線数をL、水平走査期間をH、信号線印加電圧レベルをA、表示階調数をBとするときに、1フレーム期間が「 $H \times L \times (B - 1) / (A - 1)$ 」よりも短くなるように走査線を所定の順序で1フレーム期間に複数回選択走査し、かつ、少なくとも隣接する走査線で、サブフレームを異ならせることで、フリッカや偽輪郭が抑制される。



(2)

1

【特許請求の範囲】

【請求項1】複数の信号線と複数の走査線との交点に少なくとも1つ以上のスイッチング素子を有するアクティブマトリクス表示装置を、1フレーム期間を複数の重み付けしたサブフレームに分割し、各サブフレームの組み合わせにより、前記信号線に印加する電圧レベルよりも多い調表示を行う駆動方法であって、走査線数をL、水平走査期間をH、信号線印加電圧レベルをA、表示階調数をBとするときに、1フレーム期間が

$$H \times L \times (B - 1) / (A - 1)$$

よりも短くなるように走査線を所定の順序で1フレーム期間に複数回選択走査し、かつ、隣接走査線間でサブフレームが異なる走査線の組み合わせを少なくとも1組み以上有することを特徴とするアクティブマトリクス表示装置の駆動方法。

【請求項2】隣接する走査線でサブフレームの順序が異なることを特徴とする請求項1記載のアクティブマトリクス表示装置の駆動方法。

【請求項3】隣接する走査線でサブフレームの順序を同じにし、その時間的なずれが最も軽い重み付けされたサブフレーム期間よりも長くすることを特徴とする請求項1記載のアクティブマトリクス表示装置の駆動方法。

【請求項4】第1の基板上に設けられた複数の信号線と、これを駆動する信号線駆動回路と、前記信号線と直交する複数の走査線と、これを駆動する走査線駆動回路と、前記信号線と前記走査線の交点近傍に設けられた少なくとも1つ以上のスイッチング素子と、前記スイッチング素子に接続された画素電極と、前記第1の基板と電気光学素子を介して対峙する対向電極を持つ第2の基板とを有し、

前記走査線駆動回路は前記走査線の各々を1フレーム期間に所定の順序で複数回選択走査し、前記信号線駆動回路は前記信号線の各々に対し表示階調数より少ない複数の固定電圧レベルのうちの1値を選択して出力することにより、各走査線に属するすべての画素が時間的に重み付けされた複数のサブフレーム期間における固定電圧レベルの組み合わせにより多階調表示を行うに際し、走査線数をL、水平走査期間をH、信号線印加電圧レベルをA、表示階調数をBとするときに、1フレーム期間が

$$H \times L \times (B - 1) / (A - 1)$$

よりも短くなるように走査線を所定の順序で1フレーム期間に複数回選択走査し、かつ、少なくとも隣接する走査線で、サブフレームを一致させない構成であることを特徴とするアクティブマトリクス表示装置。

【請求項5】隣接する走査線でサブフレームの順序が異なる構成であることを特徴とする請求項4記載のアクティブマトリクス表示装置。

【請求項6】隣接する走査線でサブフレームの順序を同

2

じにし、その時間的なずれが最も軽い重み付けされたサブフレーム期間よりも長くする構成であることを特徴とする請求項4記載のアクティブマトリクス表示装置。

【請求項7】最も重い重み付けされたサブフレームを少なくとも2分割する構成であることを特徴とする請求項4から6のいずれかに記載のアクティブマトリクス表示装置。

【請求項8】電気光学素子が液晶であることを特徴とする請求項4記載のアクティブマトリクス表示装置。

10 【請求項9】液晶の電気-光学応答特性に応じて、1フレーム期間を所定の値に設定する構成であることを特徴とする請求項8記載のアクティブマトリクス表示装置。

【請求項10】電気光学素子が発光物質であることを特徴とする請求項4記載のアクティブマトリクス表示装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明はアクティブマトリクス方式の液晶表示装置やEL（エレクトロルミネッセンス）表示装置の駆動方法に関し、時間的に重み付けされたサブフレーム期間における2値あるいは多値の画素書き込み電圧の組み合わせにより多階調表示を行うものである。

【0002】

【従来の技術】電池駆動による小型の携帯機器に用いられる表示装置には、より少ない消費電力が要求されており、その要求を満たす表示装置の代表例に液晶表示装置がある。特にアクティブマトリクス方式の液晶表示装置、典型的には3端子の薄膜トランジスタ（TFT）をスイッチング素子とする液晶表示装置において階調表示を行う場合は、その信号線にアナログ値の波形を印加し、スイッチング素子を介してこの電位まで画素を充電する方式が一般的であった。これらの構成例を図5に示し、図と共に説明する。図5において100はアクティブマトリクス方式の液晶パネルであり、信号線S1～Snと、これと直交する走査線G1～Gmの引き出し線と、その交点近傍にあるスイッチング素子からなる。Siはある信号線、Gjはある走査線、101はそれらの交点近傍にあるスイッチング素子、この場合は一般的な3端子の薄膜トランジスタ（TFT）の例である。102は液晶素子を示し、トランジスタ101と対峙する側に対向電極Vcomが形成される。103は蓄積容量であり液晶素子102の容量成分を補佐し、画質の劣化を防止している。その逆側の電極は別途Vstとして共通接続される場合が多い。これらのトランジスタ側の交点104が画素電極に相当する。動作を簡単に説明すると、走査線Gjが1フレーム期間に一度高電位となり、トランジスタ101を導通させ、この時の信号線Siの電位まで画素電極104、つまり液晶容量102と蓄積容量103を対向電極Vcomに対して充電する。その

(3)

3

後走査線 G_j が低電位となってトランジスタ 101 が非導通となって、この充電された電位を 1 フレーム期間保持する。また、液晶は交流駆動するのが普通であるが、対向電極 V_{com} と蓄積容量の共通電極 V_{st} を信号線 S_i に同期して反転したパルス状波形を加え、信号線 S_i の振幅を減少することも一般的に行われる。111 は複数のフリップフロップから構成される信号側のシフトレジスタであり、外部からの CKH 信号と STH 信号によって順次データがシフトされ、映像信号をサンプリングするタイミングを形成する。図 5 の例ではデジタル映像信号の例を示し、複数ビットの映像信号がラッチ 112 にシフトレジスタ 111 の出力信号によりラッチされ、それを D/A 変換回路 113 でアナログ信号に変換して信号線 $S_1 \sim S_n$ へ加える。走査側は外部からの CKV 信号と STV 信号のタイミングで順次走査するシフトレジスタ 121 とバッファ 122 からなり、走査線 $G_1 \sim G_m$ をパルス波形で駆動する。

【0003】以上の駆動方法では、 D/A 変換回路 113 の出力段に負荷である信号線容量を充放電するための電流バッファとしてオペアンプが具備されることが一般的である、これが駆動回路の消費電力を増大させる要因であった。なぜなら、 D/A 変換回路やオペアンプなどのアナログ回路は負荷を充放電していないときでも、スタティックな電流が絶えず流れて続けているからである。本明細書では、以上の駆動方法を「アナログ駆動」と呼ぶものとする。

【0004】上述のアナログ駆動に対し、 D/A 変換回路やオペアンプなどのアナログ回路を用いず、時間的に重み付けされたサブフレーム期間における 2 値の画素書き込み電圧の組み合わせにより階調表示を行う駆動方法の基本原理解について詳細に説明する。説明を容易にするため、画素書き込み電圧を 2 値の固定電圧とするが、3 値以上の多値の固定電圧であってもよい。図 6 に構成を示す。図 5 と同機能の物は同一番号を付し、説明を省略する。114 はデジタル映像信号に応じて 2 値の固定電圧 V_H 、 V_L のどちらかを選択するデコーダおよびアナログスイッチである。これらは前述の D/A 変換回路に比べて構成が非常に簡単で、スタティックな電流がほとんど流れないので消費電力が極めて小さい。

【0005】次に 2 値の固定電圧 V_H 、 V_L により階調を表示する原理について図 7 と共に説明する。全体画像を表示するフレーム期間を時間的に重み付けされた複数のサブフレーム期間に分け、それぞれのサブフレーム期間において画素電極に V_H または V_L を加えることで、時間的なパルス幅変調を行う。固定電圧が 2 値の場合、サブフレームの数は入力データのビット数と一致している。データの最上位ビット (MSB) ～最下位ビット

(LSB) に対応して、サブフレーム $SF_4 \sim SF_1$ を割り当てている。図 7 では、4 ビット、16 階調の例を示し、重み付けされたサブフレーム $SF_1 \sim SF_4$ にお

4

ける固定電圧 V_H 、 V_L の組み合わせにより 16 通りの階調表示を行っている。例えば、階調データが 10 進数で 11、すなわち 2 進数で "1011" のとき、サブフレーム SF_3 では "0" に対応する V_L が選択され、サブフレーム SF_1 、 SF_2 、 SF_4 では "1" に対応する V_H が選択される。なお、液晶素子の電圧-透過率特性 ($V-T$ 特性) に合わせて、"0" に V_H 、"1" に V_L を対応させても良い。

【0006】各サブフレーム期間は書き込み期間と保持期間からなり、書き込み期間はどのサブフレームにおいても 1 水平走査期間で一定であり、サブフレームは水平走査期間の 2 の累乗倍の定数倍に重み付けされている。すなわち、 H を 1 水平走査期間、 N を全サブフレーム数、 L を走査線数とすると、 i 番目のサブフレーム期間は、(ただし、 $i = 1, 2, \dots, N$)

$$(2 \text{ の } (i-1) \text{ 乗}) \times L \times H$$

と表される。図 7 のライン 1 の波形で、パルスの部分が書き込み期間、それ以外の部分が保持期間に相当する。1 フレーム期間は、全サブフレーム期間の和であるので、

$$(1 + 2 + 4 + \dots + 2 \text{ の } (N-1) \text{ 乗}) \times L \times H = (2 \text{ の } N \text{ 乗} - 1) \times L \times H$$

と表される。図 8 に、走査線数 L が 16、サブフレーム数が 4 である場合の各走査線の書き込み期間と保持期間の具体例を示す。

【0007】本明細書では、以上のようにサブフレーム構造を用いた駆動方法を「デジタル駆動」と呼ぶものとする。

【0008】

【発明が解決しようとする課題】しかしながら上記のデジタル駆動は、図 5 に示すアクティブマトリクス表示装置の構成では、図 8 に示すように単純に走査線を上から下へ順次走査することになり、上位ビットに対するサブフレーム期間の保持時間が増大し、一方で、図 5 のアクティブマトリクス液晶パネル 100 の書き込み特性により 1 水平期間 H が制約されるため、1 水平期間 H を一定とするとフレーム周期が増大してフリッカと呼ばれるちらつきが生じ、あるいは走査線数 L や階調数 (サブフレーム数) が多くできないという問題を有していた。

【0009】また、サブフレーム構造であるため、動画画像を表示するとその階調レベルが "16" や "8" などの 2 の n 乗境界を横切る付近で、偽輪郭が発生されるという問題点を有していた。

【0010】本発明は上記従来の問題点を解決するもので、フリッカと偽輪郭の抑制されたアクティブマトリクス表示装置およびその駆動方法を提供することを目的とする。

【0011】

【課題を解決するための手段】この目的を達成するため

(4)

5

に本発明のアクティブマトリクス表示装置は、走査線数を L 、走査線の選択期間を H 、信号線印加電圧レベルを A 、表示階調数を B とするときに、1フレーム期間が $H \times L \times (B - 1) / (A - 1)$

よりも短くなるように走査線を所定の順序で1フレーム期間に複数回選択走査すると共に、隣接する走査線で、サブフレームの順序やタイミングを異ならせる。

【0012】

【発明の実施の形態】（発明の実施の形態1）以下、本発明の第1の実施の形態について図面を参照しながら説明する。

【0013】図1は表示ライン数 L が16、サブフレーム数 N が4（SF1、SF2、SF3、SF4）、サブ*

SF1；書き込み期間：1H、保持期間：2H～5H

SF2；書き込み期間：6H、保持期間：7H～14H

SF3；書き込み期間：15H、保持期間：16H～31H

SF4；書き込み期間：32H、保持期間：33H～64H

2行目の走査線では、

SF1；書き込み期間：5H、保持期間：6H～9H

SF2；書き込み期間：60H、保持期間：61H～68H（4H）

SF3；書き込み期間：43H、保持期間：44H～59H

SF4；書き込み期間：10H、保持期間：11H～42H

3行目の走査線では、

SF1；書き込み期間：9H、保持期間：10H～13H

SF2；書き込み期間：14H、保持期間：15H～22H

SF3；書き込み期間：23H、保持期間：24H～39H

SF4；書き込み期間：40H、保持期間：41H～72H（8H）

4行目の走査線では、

SF1；書き込み期間：13H、保持期間：14H～17H

SF2；書き込み期間：4H、保持期間：5H～12H

SF3；書き込み期間：51H、保持期間：52H～67H（3H）

SF4；書き込み期間：18H、保持期間：19H～50H

以下同様に、図1に示す順序で各走査線を選択走査（書き込み期間）することで、1フレームが64Hとなり、図8の240Hの約 $1/4$ となりフリッカの抑制が可能となる。また奇数行の走査線はSF1、SF2、SF3、SF4の順序で、偶数行の走査線はSF4、SF3、SF2、SF1の順序でサブフレームが構成されるため、偽輪郭の発生する2の n 乗境界のタイミングと方向が偶数ラインと奇数ラインで異なるため、偽輪郭の抑制が可能となる。また、走査順序は図1に限定されるものではなく、図2に示すようにサブフレームの順序はすべて同じでも隣接する走査線間でその2の n 乗境界のタイミング、好ましくは最も重い重み付けのサブフレームをずらすことで偽輪郭の抑制が可能となる。

【0014】（発明の実施の形態2）以下、本発明の第2の実施の形態について図面を参照しながら説明する。図3は本発明の第2の実施の形態を示すアクティブマトリクス表示装置の構成図である。図3においては、100はアクティブマトリクス表示パネルであり、信号線

6

*フレームの保持期間が1：2：4：8の比に時間的に重み付けされ、これらの組み合わせにより16階調を表示する場合の各走査線の選択タイミング図を示している。図1において「黒丸」は書き込み期間、ハッチングと数字はサブフレーム順序を示してする。まず、1行目の走査線では、最初の水平走査期間（1H）でSF1の情報を書き込み、2Hから5Hまではその状態（SF1）を保持し、6HでSF2の情報を書き込み、7Hから14Hまではその状態（SF2）を保持し、15HでSF3の情報を書き込み、16Hから31Hまではその状態（SF3）を保持し、32HでSF4の情報を書き込み、33Hから64Hまではその状態（SF3）を保持する、

S1～Snと、これと直交する走査線G1～Gmの引き出し線と、その交点近傍にあるスイッチング素子からなる。111は複数のフリップフロップから構成される信号側のシフトレジスタであり、外部からのCKH信号とSTH信号によって順次データがシフトされ、映像信号をサンプリングタイミングを形成する。図3の例ではデジタル映像信号の例を示し、複数ビットの映像信号がラッチ112にシフトレジスタ111の出力信号によりラッチされ、それをデコーダ／アナログスイッチ114で2値の固定電圧 V_H 、 V_L のいずれかを信号線S1～Snへ加える。以上は図6の構成と同様なものである。123は走査制御回路であり、外部からの選択走査線信号ADVにより走査線を所定の順序で選択し、バッファ122を介して走査線G1～Gmをパルス駆動する。選択走査線信号ADVと走査制御回路123により図1または図2の書き込み期間のタイミングを構成することで、フリッカや偽輪郭の抑制されたアクティブマトリクス表示装置が可能となる。走査制御回路としてデコー

(5)

7

ダを用いれば、簡単な回路構成で、選択する走査線アドレス情報により、任意の順序で選択走査が可能となる。ここでアクティブマトリクス表示パネルの電気光学素子は図5に示す液晶の構成あるいは図4に示す発光素子を用いたエレクトロルミネッセンス表示パネルでもよい。図4に示すエレクトロルミネッセンス表示パネルの発光素子106は電流駆動型の素子であるため、電流駆動用の第2のスイッチング素子105を追加することで、第1のスイッチング素子の104の端子を図3と同様にサブフレーム駆動することで所望の階調表示が可能となる。光学変調素子が液晶の場合は、液晶は一般にその印加電圧の実効値に光学特性が応答するためその応答速度とサブフレームのパルスの幅との関係によっては表示品位を損なうことがあるが、1フレーム期間を大幅に短縮したことで、1フレーム周期の設定の自由度が向上するため、液晶特性の選択範囲の拡大が可能である。

【0015】なお、第1の発明の実施の形態において走査線数を16、表示階調数を16、1フレーム期間を64Hとしたが、これに限定されるものではなく、任意の走査線数および階調数にできることは言うまでもなく、また1フレーム期間も、走査線数およびサブフレームの比率および数から決定される最小値に限定されるものではなく、光学変調素子の特性により決定すればよい。さらに奇数行と偶数行でサブフレームを異ならせたが、この組み合わせに限定されるものではなく、例えば2行毎に異ならせてもよい。また第2の発明の実施の形態では走査線制御回路123はデコーダとしたが、信号線駆動回路のようにシフトレジスタとラッチを用いたシリアル／パラレル変換回路を用いて外部との信号線数を削減するような構成でもよく、順次走査以外の順序で走査できる回路であればどのような構成でもよい。また114をデコーダ／アナログスイッチとしたが、これも複数の固定電圧を選択的に信号線S1～Snに出力できる構成であればよい。

【0016】

【発明の効果】以上のように本発明は、走査線数をL、走査線の選択期間をH、信号線印加電圧レベルをA、表示階調数をBとするときに、1フレーム期間が

8

$$H \times L \times (B - 1) / (A - 1)$$

よりも短くなるように走査線を所定の順序で1フレーム期間に複数回選択走査すると共に、隣接する走査線で、サブフレームの順序やタイミングを異ならせることにより、フリッカや偽輪郭を抑制することが出来る優れたアクティブマトリクス表示装置を実現できるものである。

【図面の簡単な説明】

【図1】本発明の第1の実施の形態における走査線選択タイミング図

【図2】本発明の第1の実施の形態における別の走査線選択タイミング図

【図3】本発明の第2の実施の形態におけるアクティブマトリクス表示装置の構成図

【図4】本発明の第2の実施の形態におけるアクティブマトリクス表示装置の画素構成図

【図5】従来のアナログ駆動の説明のためのアクティブマトリクス表示装置の構成図

【図6】従来のデジタル駆動の説明のためのアクティブマトリクス表示装置の構成図

【図7】従来のデジタル駆動の説明のためのサブフレーム構成図

【図8】従来のデジタル駆動の説明のための走査線選択タイミング図

【符号の説明】

100 アクティブマトリクス表示パネル

101, 105 スwitching素子

102 液晶素子

103 蓄積容量

30 104 画素電極

106 発光素子

111, 121 シフトレジスタ

112 ラッチ

113 D/A変換回路

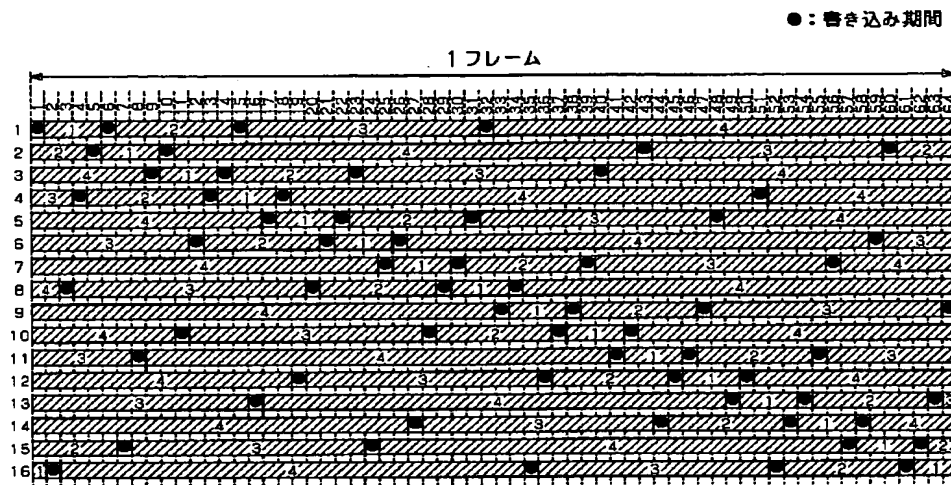
114 デコーダ／アナログスイッチ

122 バッファ

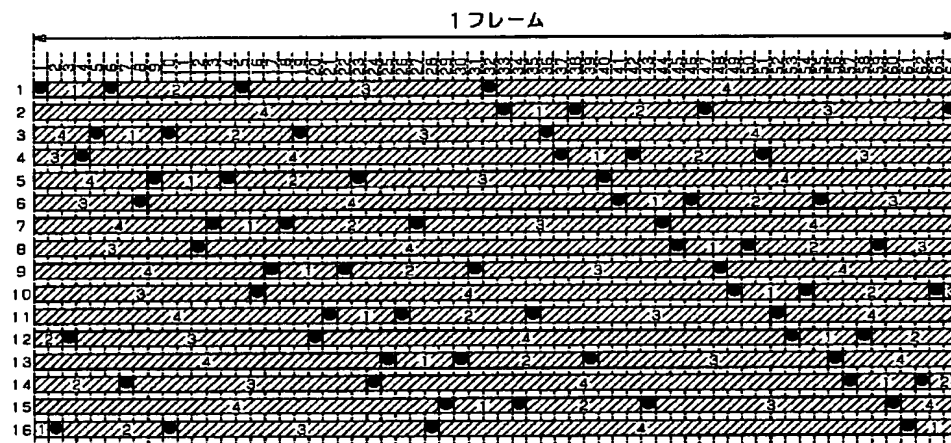
123 走査制御回路

(6)

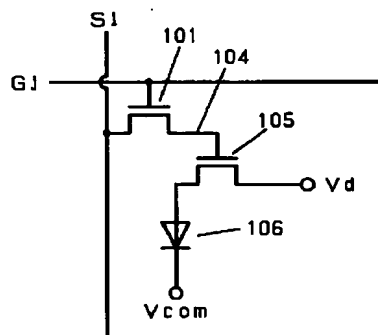
【図1】



【図2】

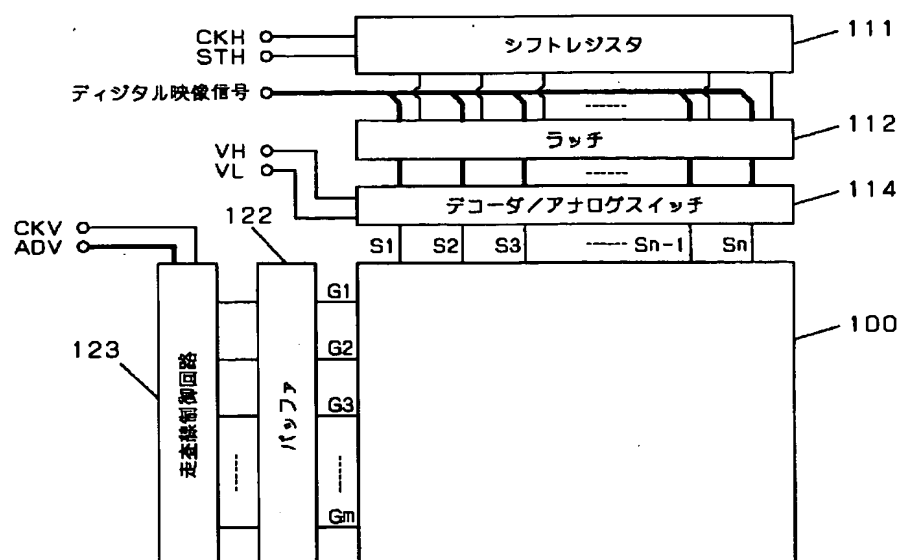


【図4】

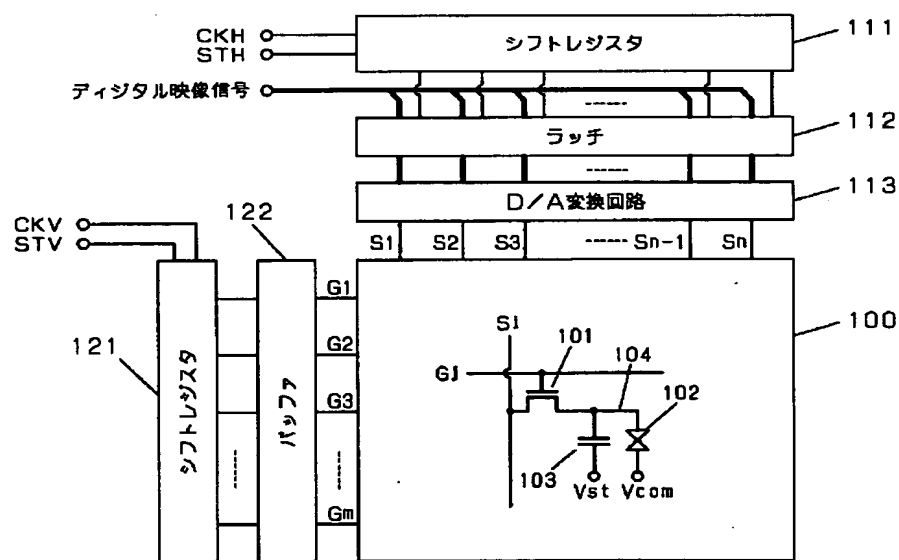


(7)

【図3】

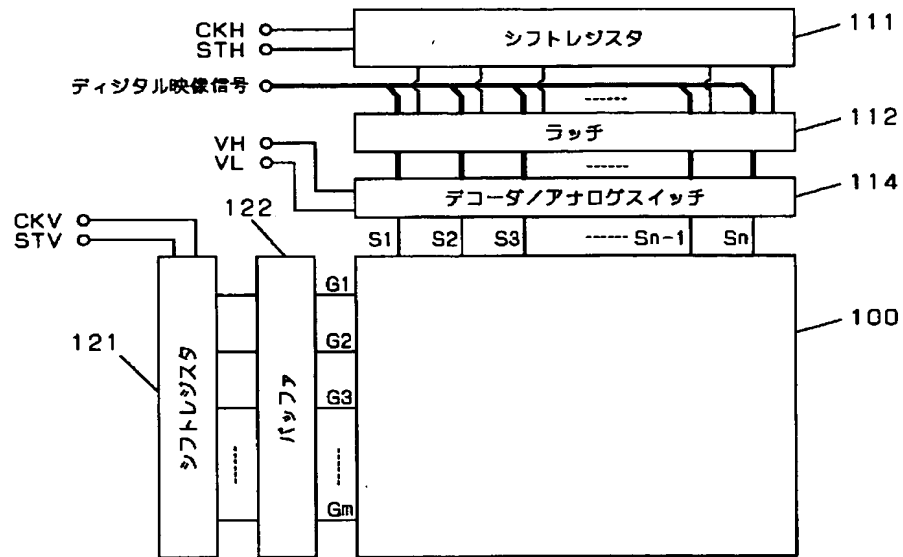


【図5】

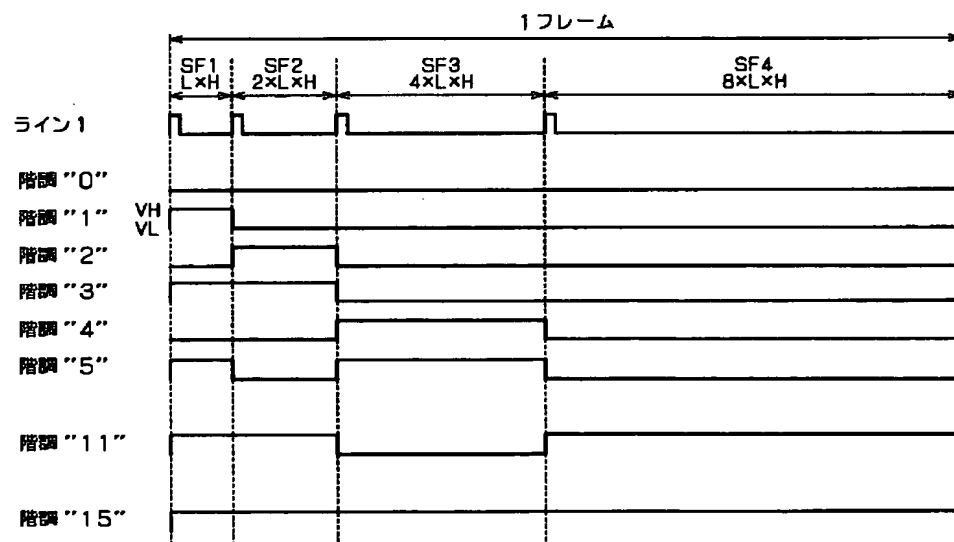


(8)

【図6】

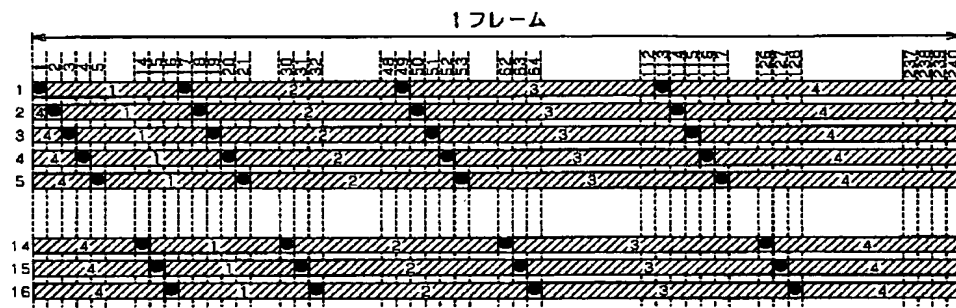


【図7】



(9)

【図8】



フロントページの続き

(51) Int. Cl. ⁷	識別記号	F I	テマコード (参考)
G 0 9 G	3/36	G 0 9 G	3/36
H 0 4 N	5/66	H 0 4 N	5/66
			B

F ターム (参考) 2H093 NA16 NA41 NA51 NC22 NC26
 NC34 ND10
 5C006 AA14 AC27 AC28 AF42 AF44
 AF83 BB16 BC03 BC12 BF03
 BF04 BF26 FA23 FA29 FA56
 GA02
 5C058 AA08 AA12 BA04 BA07 BB03
 BB10 BB17
 5C080 AA06 AA10 BB05 DD06 DD10
 EE19 EE29 FF11 JJ02 JJ04
 JJ05

**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ BLACK BORDERS
- ☐ IMAGE CUT OFF AT TOP, BOTTOM OR SIDES
- ☒ FADED TEXT OR DRAWING
- ☐ BLURRED OR ILLEGIBLE TEXT OR DRAWING
- ☐ SKEWED/SLANTED IMAGES
- ☐ COLOR OR BLACK AND WHITE PHOTOGRAPHS
- ☐ GRAY SCALE DOCUMENTS
- ☒ LINES OR MARKS ON ORIGINAL DOCUMENT
- ☐ REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY
- ☐ OTHER: _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.